

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-238865

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

H01L 27/118

H01L 21/8249

H01L 27/06

(21)Application number : 10-040785

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 23.02.1998

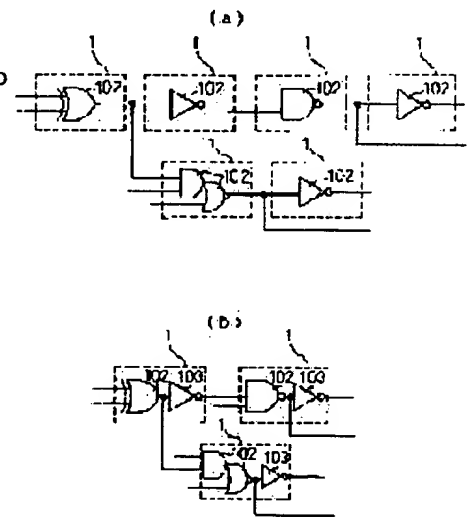
(72)Inventor : OGURA ISAO
UEDA YOSHITAKA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is capable of reducing a chip area.

SOLUTION: A basic cell 1 is constituted by adding an inverter 103 to a basic gate circuit 102. A logic signal, in which a logic is inverted from the basic gate circuit 102 via the inverter 103 is output from each basic cell 1, in addition to a logic signal output from the basic gate circuit 102. That is, a logic signal of both positive and negative logics can be output from each basic cell 1 by building the inverter 103 in each basic cell 1. Since it becomes unnecessary to provide the basic cell 1 which constitutes an inverter for logical inversion, required in a conventional example and a wiring for connecting a basic cell constituting the inverter and other basic cell becomes unnecessary, the net total number of wirings can be reduced. As a result, since the area of a wiring region is also reduced with the net total number of wirings cut in this way, the chip area can be reduced.



LEGAL STATUS

[Date of request for examination]

17.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3481116

[Date of registration]

10.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A semiconductor device which consists of a primitive cell which a logic signal of positive/negative both logic consisted of possible [an output].

[Claim 2] A semiconductor device which consists of a primitive cell from which an inverter was built in, and which a logic signal of positive/negative both logic consisted of possible [an output].

[Claim 3] It is the semiconductor device which is a semiconductor device which consists of a primitive cell which adds an inverter to at least one basic gate circuit, and is constituted, and is characterized by a logic signal with which logic was reversed through an inverter from the basic gate circuit consisting of the primitive cell possible [an output] in addition to a logic signal outputted from a basic gate circuit.

[Claim 4] A semiconductor device which changed sense which arranges two or more transistors from which size differs possible [selection combination], and arranges two or more transistors for every size in a semiconductor device given in any 1 term of claims 1-3.

[Claim 5] A semiconductor device which arranged two or more 2nd conductivity-type transistors from which two or more 1st conductivity-type transistors from which size differs, and size differ possible [selection combination] in a semiconductor device given in any 1 term of claims 1-3.

[Claim 6] A semiconductor device which constituted a basic gate circuit and an inverter by carrying out selection combination ***** of the transistor which constitutes each primitive cell where one or more primitive cells in a semiconductor device given in any 1 term of claims 1-5 are arranged.

[Claim 7] A semiconductor device according to claim 6 which prepared power supply wiring prolonged horizontally and power supply wiring prolonged perpendicularly.

[Claim 8] A semiconductor device according to claim 7 constituted so that power supply wiring with which wiring to which a location in which wiring to which each transistor is connected, and power supply wiring prolonged to power supply wiring and perpendicularly it extends horizontally are prepared is divided into two-layer, and each transistor is connected, and power supply wiring prolonged in one direction are prolonged in the direction of another side in the 1st layer might be located in a two-layer eye.

[Claim 9] The 1st device which becomes a substrate from the 1st conductivity-type transistor and the 2nd conductivity-type transistor is arranged to two or more parallel. The 2nd device which changed size of one [at least] transistor of said 1st device to two or more parallel Sense is changed to said 1st device and it arranges. And to a free area of a substrate A transistor of a primitive cell constituted by arranging two or more 3rd device which changed further size of one [at least] transistor of said 1st device rather than size of a transistor of said 2nd device A basic gate circuit and an inverter are constituted by carrying out selection combination *. From the primitive cell A semiconductor device characterized by constituting a logic signal with which logic was reversed through an inverter from a basic gate circuit from a basic gate circuit in addition to a logic signal outputted possible [an output].

[Claim 10] The 1st device which becomes a substrate from the 1st conductivity-type transistor and the 2nd conductivity-type transistor is arranged to two or more parallel. The 2nd device which changed size of one [at least] transistor of said 1st device to two or more parallel Sense is changed to said 1st device and it arranges. And to a free area of a substrate A transistor of a primitive cell constituted by arranging two or more 3rd device which changed further size of one [at least] transistor of said 1st device rather than size of a transistor of said 2nd device It is the semiconductor device characterized by having

constituted a NOR circuit and an inverter and a logic signal with which logic was reversed through an inverter from a NOR circuit consisting of the primitive cell possible [an output] in addition to a logic signal outputted from a NOR circuit by carrying out selection combination *****.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to a semiconductor device and relates to the structure of the primitive cell which constitutes the semiconductor integrated circuit equipment of a master slice method, and it especially.

[0002]

[Description of the Prior Art] Conventionally, the diffusion production process is manufactured beforehand, using a common mask as a manufacture method of a semicustom LSI, and the master slice method which changes only the mask of a wiring layer and constitutes LSI is used widely. In this master slice method, from layout of LSI to the diffusion production process is processed uniformly, and since what is necessary is to perform only subsequent circuit wiring for every form, LSI of small quantity many forms can be developed at few costs for a short period of time.

[0003] The semiconductor integrated circuit equipment of a master slice method is realized by forming the wiring layer doubled with the specification for which a customer wishes to the semiconductor chip with which the primitive cell (unit cell) of the same structure is called the master arranged regularly to the shape of a matrix, and an one direction. That is, by changing the wiring layer formed on a primitive cell, various basic gate circuits (basic logical element) are constituted using each primitive cell, and the logical circuit which the customer designed is created by connecting each basic gate circuit by the wiring layer.

[0004]

[Problem(s) to be Solved by the Invention] The primitive cell consists of conventional master slice methods only in basic gate circuits (an inverter, an XOR circuit, a NAND circuit, an AND circuit, NOR circuit, etc.). And from a primitive cell, only one logic signal of positive logic or negative logic is outputted.

[0005] Therefore, when the logic of the logic signal outputted from the primitive cell needed to be reversed, an inverter is connected to the output side of a primitive cell, and it had to be made to have had to obtain the fanout reversed through the inverter. Here, the space between each primitive cell serves as a wiring field which connects each primitive cell. Moreover, an inverter is also constituted by one primitive cell. Therefore, since the wiring for connecting the primitive cell which constitutes the inverter, and other primitive cells is needed when the primitive cell which constitutes the inverter for logic reversal is prepared, the network total of wiring increases. Consequently, since the area of a wiring field also increases with increase of the network total of wiring, a chip area will increase.

[0006] Moreover, if there are many parts which need logic reversal all over a complicated logical circuit and an inverter is formed for every part of the, the number of the inverters to be used will become considerable. Especially by large-scale LSI constituted by the complicated logical circuit, since a chip area is prescribed by the network total of wiring, increase of a chip area will become excessive with increase of the network total of wiring by preparing the primitive cell which constitutes the inverter for logic reversal.

[0007] It is made in order that this invention may solve the above-mentioned trouble, and the purpose is in offering the semiconductor device which can reduce a chip area.

[0008]

[Means for Solving the Problem] Invention according to claim 1 makes it the summary to consist of a primitive cell which a logic signal of positive/negative both logic consisted of possible [an output].

Invention according to claim 2 makes it the summary to consist of a primitive cell from which an inverter was built in and which a logic signal of positive/negative both logic consisted of possible [an output].

[0009] Invention according to claim 3 is a semiconductor device which consists of a primitive cell which adds an inverter to at least one basic gate circuit, and is constituted, and, in addition to a logic signal outputted from a basic gate circuit, makes it the summary to have constituted a logic signal with which logic was reversed through an inverter from the basic gate circuit possible [an output] from the primitive cell.

[0010] Therefore, since it is not necessary to prepare a primitive cell which constitutes an inverter for logic reversal according to invention given in any 1 term of claims 1-3, and wiring for connecting a primitive cell which constitutes the inverter, and other primitive cells also becomes unnecessary, a network total of wiring is reducible. Consequently, since area of a wiring field is also reduced with reduction of a network total of wiring, a chip area is reducible. By especially large-scale LSI constituted by complicated logical circuit, since a chip area is prescribed by network total of wiring, a chip area is sharply reducible with reduction of a network total of wiring.

[0011] Invention according to claim 4 makes it the summary to have changed sense which arranges two or more transistors from which size differs possible [selection combination], and arranges two or more transistors for every size in a semiconductor device given in any 1 term of claims 1-3.

[0012] If it does in this way, since size of a transistor is changed, a transistor of size according to magnitude of a circuit can be selected freely. Invention according to claim 5 makes it the summary to have arranged two or more 2nd conductivity-type transistors from which two or more 1st conductivity-type transistors from which size differs, and size differ possible [selection combination] in a semiconductor device given in any 1 term of claims 1-3.

[0013] Therefore, since sense which arranges a transistor is changed according to invention according to claim 5, flexibility of the direction of connection increases. Invention according to claim 6 is in a condition which arranged one or more primitive cells in a semiconductor device given in any 1 term of claims 1-5, and makes it the summary to have constituted a basic gate circuit and an inverter by carrying out selection combination ***** of the transistor which constitutes each primitive cell.

[0014] Invention according to claim 7 makes it the summary to have prepared power supply wiring prolonged horizontally and power supply wiring prolonged perpendicularly in a semiconductor device according to claim 6. Therefore, according to invention according to claim 6 or 7, wiring is simple and a semiconductor device with a small area can be offered.

[0015] Invention according to claim 8 divides into two-layer the location in which wiring to which each transistor is connected, and power supply wiring prolonged to power supply wiring and perpendicularly it extends horizontally are prepared in a semiconductor device according to claim 7, and makes it the summary to have constituted so that power supply wiring with which wiring to which each transistor is connected, and power supply wiring prolonged in one direction are prolonged in the direction of another side in the 1st layer might be located in a two-layer eye.

[0016] Therefore, even when wiring (for example, wiring which connects between primitive cells) to which each transistor is connected crosses power supply wiring prolonged in the direction of another side according to invention according to claim 8, it can let the bottom of this power supply wiring pass, and flexibility of wiring becomes high. Invention according to claim 9 arranges the 1st device which becomes a substrate from the 1st conductivity-type transistor and the 2nd conductivity-type transistor to two or more parallel. The 2nd device which changed size of one [at least] transistor of said 1st device to two or more parallel Sense is changed to said 1st device and it arranges. And to a free area of a substrate A transistor of a primitive cell constituted by arranging two or more 3rd device which changed further size of one [at least] transistor of said 1st device rather than size of a transistor of said 2nd device A basic gate circuit and an inverter are constituted by carrying out selection combination *****. From the primitive cell A logic signal with which logic was reversed through an inverter from a basic gate circuit from a basic gate circuit in addition to a logic signal outputted makes it the summary to have been constituted possible [an output].

[0017] Therefore, according to this invention, it becomes possible to constitute a primitive cell which added an inverter to a basic gate circuit, and compared with a case where a primitive cell is constituted, a chip area does not increase only in a basic gate circuit according to this primitive cell. Invention according to claim 10 arranges the 1st device which becomes a substrate from the 1st conductivity-type transistor and the 2nd conductivity-type transistor to two or more parallel. The 2nd device which changed size of one [at least] transistor of said 1st device to two or more parallel Sense is changed to said 1st device and it arranges. And to a free area of a substrate A transistor of a primitive cell constituted by arranging two or more 3rd device which changed further size of one [at least] transistor of said 1st device rather than size of a transistor of said 2nd device By carrying out selection combination *****, a NOR circuit and an inverter are constituted and, in addition to a logic signal outputted from a NOR circuit, a logic signal with which logic was reversed through an inverter from a NOR circuit makes it the summary to have been constituted possible [an output] from the primitive cell.

[0018] Therefore, according to this invention, it becomes possible to add an inverter to a NOR circuit as a basic gate circuit, and to constitute a primitive cell. And according to this primitive cell, compared with a case where a primitive cell is constituted, a chip area does not increase only in a basic gate circuit.

[0019]

[Embodiment of the Invention] Hereafter, 1 operation gestalt which materialized this invention is explained with a drawing. As shown in drawing 1 (a), by the conventional master slice method, the primitive cell 1 consists of only basic gate circuits 102 (an inverter, an XOR circuit, a NAND circuit, an AND circuit, NOR circuit, etc.), and only one logic signal of positive logic or negative logic can be outputted from each primitive cell 1.

[0020] To it, as shown in drawing 1 (b), in this operation gestalt, an inverter 103 is added to the basic gate circuit 102, and the primitive cell 1 is constituted. And in addition to the logic signal outputted from the basic gate circuit 102, the logic signal with which logic was reversed through the inverter 103 from the basic gate circuit 102 consists of each primitive cell 1 possible [an output]. That is, the output of the logic signal of positive/negative both logic is enabled from each primitive cell 1 by building an inverter 103 in each primitive cell 1.

[0021] Therefore, since it is not necessary to form the primitive cell 1 which constitutes the inverter for logic reversal according to this operation gestalt, and the wiring for connecting the primitive cell which constitutes the inverter, and other primitive cells also becomes unnecessary, the network total of wiring is reducible. Consequently, since the area of a wiring field is also reduced with reduction of the network total of wiring, a chip area is reducible. By especially large-scale LSI constituted by the complicated logical circuit, since a chip area is prescribed by the network total of wiring, according to this operation gestalt, a chip area is sharply reducible with reduction of the network total of wiring.

[0022] In addition, the basic gate circuit 102 which constitutes a primitive cell 1 is not restricted in one, but may consist of two or more basic gate circuits 102 (for example, an AND circuit and a NOR circuit). The example of structure of the primitive cell 1 in this operation gestalt is shown in drawing 2.

[0023] The 1st device field 3 where a primitive cell 1 occupies the area of the upper part about 1/3 of the rectangle-like cel substrate 2 and this cel substrate 2, It consists of circuit patterns 6 prepared in the opening section between the 2nd device field 4 which occupies the area at the lower left of [about 1/4] the cel substrate 2, the 3rd device field 5 which occupies the area at the lower right of [about 1/3] the cel substrate 2, and the 1st device field 3 and the 3rd device field 5. A circuit pattern 6 consists for example, of a tungsten polycide.

[0024] The 1st PMOS transistor group 9 and the 1st NMOS transistor group 10 are formed in the 1st device field 3. The 1st PMOS transistor group 9 is equipped with the 1st and 2nd gate electrodes 11 and 12 made from polish recon mutually prolonged in the longitudinal direction of drawing in parallel, and the 1st, 2nd, and 3rd P type source drain fields 13, 14, and 15. The 1st, 2nd, and 3rd P type source drain fields 13, 14, and 15 are mutually separated in the vertical direction by the left-hand side field portion of the 1st and 2nd gate electrodes 11 and 12.

[0025] Moreover, the 1st NMOS transistor group 10 is equipped with the 1st and 2nd gate electrodes 11

and 12 and the 1st, 2nd, and 3rd N type source drain fields 16, 17, and 18. The 1st, 2nd, and 3rd N type source drain fields 16, 17, and 18 are mutually separated in the vertical direction by the right-hand side field portion of the 1st and 2nd gate electrodes 11 and 12.

[0026] That is, two PMOS transistors of the 1st PMOS transistor group 9 and two NMOS transistors of the 1st NMOS transistor group 10 are sharing the 1st gate electrode 11 or the 2nd gate electrode 12 between the relation of 1 to 1, respectively. Furthermore, in order to use the opening section of the 1st device field 3 effectively, width-of-face Hirobe 19, 20, and 21 who can form the contact section is formed by extending the part where a center section and the edge of the 1st and 2nd gate electrodes 11 and 12 are proper.

[0027] The 2nd PMOS transistor group 22 and the 2nd NMOS transistor group 23 are formed in the 2nd device field 4. The 1st PMOS transistor group 22 is equipped with the 3rd, 4th, and 5th gate electrodes 24, 25, and 26 made from polish recon mutually prolonged in the vertical direction of drawing in parallel, and the 4th, 5th, 6th, and 7th P type source drain fields 27, 28, 29, and 30. The 4th, 5th, 6th, and 7th P type source drain fields 27, 28, 29, and 30 are mutually separated by the longitudinal direction by the top field portions of the 3rd – the 5th gate electrodes 24–26.

[0028] Moreover, the 1st NMOS transistor group 23 is equipped with the 3rd – the 5th gate electrodes 24–26, and the 4th, 5th, 6th, and 7th N type source drain fields 31, 32, 33, and 34. The 4th, 5th, 6th, and 7th N type source drain fields 31, 32, 33, and 34 are mutually separated by the longitudinal direction by the bottom field portions of the 3rd – the 5th gate electrodes 24–26.

[0029] That is, three PMOS transistors of the 2nd PMOS transistor group 22 and three NMOS transistors of the 2nd NMOS transistor group 23 are sharing the 3rd gate electrode 24, the 4th gate electrode 25, or the 5th gate electrode 26 between the relation of 1 to 1, respectively.

[0030] Furthermore, in order to use the opening section of the 2nd device field 4 effectively, width-of-face Hirobe 35, 36, 37, 38, and 39 who can form the contact section is formed by extending the part where a center section and the edge of the 3rd – the 5th gate electrodes 24–26 are proper. The 3rd device field 5 is equipped with the 6th, 7th, and 8th gate electrodes 40, 41, and 42 made from polish recon. The 6th gate electrode 40 is prolonged being crooked by two or more places in the shape of a hook. The 7th gate electrode 41 is prolonged being crooked by two or more places in the shape of a hook similarly, and it is prepared so that **** may be constituted between the 6th gate electrodes 40. The 8th gate electrode 42 is further prolonged in the vertical direction of drawing along the right end of the cel substrate 2 from the edge of this 7th gate electrode 41.

[0031] End section 40a of the 6th gate electrode 40 and other end 41b of the 7th gate electrode 41 are mutually prolonged in the vertical direction of drawing in parallel. Other end 40b of the 6th gate electrode 40 and end section 41a of the 7th gate electrode 41 are mutually prolonged in the vertical direction of drawing in parallel. With the degree which shifts to a longitudinal direction a little, one edge each 40a of the 6th and 7th gate electrodes 40 and 41, 41a and each other end 40b, and 41b are arranged so that it may be mostly located on the vertical direction straight line.

[0032] Furthermore, the 3rd device field 5 has the 8th, 9th, and 10th P type source drain fields 43, 44, and 45, the 8th, 9th, and 10th N type source drain fields 46, 47, and 48, the 11th and 12th P type source drain fields 49 and 50, and the 11th and 12th N type source drain fields 51 and 52. The 8th, 9th, and 10th P type source drain fields 43, 44, and 45 are mutually separated by other end 40b of the 6th gate electrode 40, and end section 41a of the 7th gate electrode 41 at the longitudinal direction of drawing. The 8th, 9th, and 10th N type source drain fields 46, 47, and 48 are mutually separated by end section 40a of the 6th gate electrode 40, and other end 41b of the 7th gate electrode 41 at the longitudinal direction of drawing. The 11th and 12th P type source drain fields 49 and 50 are separated by end section 42a of the 8th gate electrode 42. The 11th and 12th N type source drain fields 51 and 52 are separated by other end 42b of the 8th gate electrode 42.

[0033] And the 3rd PMOS transistor group 53 is constituted by other end 40b of the 6th gate electrode 40, end section 41a of the 7th gate electrode 41, the 8th, 9th, and 10th P type source drain fields 43, 44, and 45, end section 42a of the 8th gate electrode 42, and the 11th and 12th P type source drain fields 49 and

50. Moreover, the 3rd NMOS transistor group 54 is constituted by end section 40a of the 6th gate electrode 40, other end 41b of the 7th gate electrode 41, the 8th, 9th, and 10th N type source drain fields 46, 47, and 48, other end 42b of the 8th gate electrode 42, and the 11th and 12th N type source drain fields 51 and 52.

[0034] Furthermore, in order to use the opening section of the 3rd device field 5 effectively, width-of-face Hirobe 55, 56, and 57 who can form the contact section is formed by extending the part where a center section and the edge of the 6th – the 8th gate electrodes 40–42 are proper. And if it is in the primitive cell 1 in this operation gestalt The width of face W1 (namely, gate width of the 1st PMOS transistor group 9) of the 1st – the 3rd P type source drain fields 13–15, The width of face W2 (namely, gate width of the 2nd PMOS transistor group 22) of the 4th – the 7th P type source drain fields 27–30, It is set up so that a ratio (W1:W2:W3) with the 8th – the 12th P type source drain fields 43–45, and width-of-face W3 (namely, gate width of the 3rd PMOS transistor group 53) of 49 and 50 may be set to 6:3:2.

[0035] Moreover, the width of face W4 (namely, gate width of the 1st NMOS transistor group 10) of the 1st – the 3rd N type source drain fields 16–18, The width of face W5 (namely, gate width of the 2nd NMOS transistor group 23) of the 4th – the 7th N type source drain fields 31–34, It is set up so that a ratio (W4:W5:W6) with the 8th – the 12th N type source drain fields 46–48, and the width of face W6 (namely, gate width of the 3rd NMOS transistor group 54) of 51 and 52 may be set to 10:4:3.

[0036] Furthermore, if it is in the primitive cell 1 in this operation gestalt It is set up so that the ratio of the gate width W1 of the 1st PMOS transistor group 9 and the gate width W4 of the 1st NMOS transistor group 10 may be set to 6:5. It is set up so that the ratio of the gate width W2 of the 2nd PMOS transistor group 22 and the gate width W5 of the 2nd NMOS transistor group 23 may be set to 3:2. It is set up so that the ratio of gate width W3 of the 3rd PMOS transistor group 53 and the gate width W6 of the 3rd NMOS transistor group 54 may furthermore be set to 4:3.

[0037] That is, if it is in this operation gestalt, the size of the 1st, 2nd, and 3rd PMOS transistor groups 9, 22, and 53 on the cel substrate 1 is changed separately, and the size of the 1st, 2nd, and 3rd NMOS transistor groups 10, 23, and 54 is changed separately.

[0038] Moreover, the low voltage side power supply wiring 7 (henceforth the level wiring 7) is formed in the lower limit section of the cel substrate 2 so that it may extend in the longitudinal direction of drawing, and the high potential side power supply wiring 8 (henceforth the perpendicular wiring 8) is formed in the right-and-left both ends of the cel substrate 2 so that it may extend in the vertical direction of drawing. And connection of the level wiring 7 and the perpendicular wiring 8, and each transistor is carried out. In addition, the level wiring 7 is formed in the 1st layer of a metal wiring layer, and the perpendicular wiring 8 is formed in the two-layer eye of a metal wiring layer. Moreover, the low voltage side power supply wiring 7 functions as an earth wire.

[0039] As shown in drawing 3 , a primitive cell 1 is arranged in the shape of a matrix on a semiconductor substrate. Under the present circumstances, mirror arrangement of the primitive cell 1 which adjoins mutually is carried out. Drawing 4 (b) is a substance circuit diagram at the time of constituting a primitive cell 1 only from a NOR circuit as a basic gate circuit 102 shown in drawing 4 (a) using the primitive cell 1 shown in drawing 2 , and expresses the wiring portion of them with a thick continuous line. In addition, the wiring which connects each transistor is formed in the 1st layer of a metal wiring layer. Here, a NOR circuit takes the NOR logic of two input signals A and B, and generates an output signal C.

[0040] Drawing 5 (b) is a substance circuit diagram at the time of constituting a primitive cell 1 only from an inverter as a basic gate circuit 102 shown in drawing 5 (a) using the primitive cell 1 shown in drawing 2 , and expresses the wiring portion of them with a thick continuous line. In addition, the wiring which connects each transistor is formed in the 1st layer of a metal wiring layer. Here, an inverter reverses the logic of an input signal D and generates an output signal E.

[0041] Drawing 6 (b) is a substance circuit diagram at the time of adding an inverter 103 to the NOR circuit as a basic gate circuit 102 shown in drawing 6 (a) using the primitive cell 1 shown in drawing 2 , and constituting a primitive cell 1, and expresses the wiring portion of them with a thick continuous line. In addition, the wiring which connects each transistor is formed in the 1st layer of a metal wiring layer. Here,

a NOR circuit takes the NOR logic of two input signals A and B, and generates an output signal C, and an inverter reverses the logic of an output signal C and generates an output signal E.

[0042] The primitive cell 1 in this operation gestalt has the feature as follows.

a) Since the size of the transistor in the 1st – the 3rd device fields 3–5 is changed, the transistor of the size according to the magnitude of the drive capacity of the basic gate circuit 102 and inverter 103 which constitute a primitive cell 1 can be selected freely.

[0043] b) The array direction of the transistor groups 9 and 10 of the 1st device field 3 and the array direction of the transistor groups 22 and 23 of the 2nd device field 4 are changed (it has set up so that the array directions may differ 90 degrees especially). Therefore, a wire length can be shortened, while not changing a wiring layer and being able to improve wiring effectiveness, in case each transistor is connected so that a transistor field may not be straddled.

[0044] It is located without the NMOS transistor which uses as a gate electrode other end 41b of a PMOS transistor and the 7th gate electrode 41 which uses other end 40b of the 6th gate electrode 40 as a gate electrode in the 3rd device field 5 shifting mostly on the straight line of the vertical direction. c) Further So that it may be located without the PMOS transistor which uses as a gate electrode end section 41a of an NMOS transistor and the 7th gate electrode 41 which uses end section 40a of the 6th gate electrode 40 as a gate electrode shifting mostly on the straight line of the vertical direction The 6th and 7th gate electrodes 40 and 41 are made crooked. Therefore, when forming the transfer gate using this portion, each wiring which connects the source drain field of a PMOS transistor and the source drain field of an NMOS transistor does not cross.

[0045] Therefore, while being able to form in one layer the wiring which connects a PMOS transistor and an NMOS transistor, the length of these wiring can become the shortest, can reduce own circuit area of the transfer gate, and can contribute to the area saving of a semiconductor integrated circuit.

d) The flexibility of a connection location increases, utilizing the free area in a cel effectively, since wiring Rhine 6 is formed or width-of-face Hirobe for contact is prepared in the center section and edge of each gate electrode.

[0046] especially -- the center section of each gate electrode -- width-of-face Hirobe 19 and 20 and 35-- also compared with the former, the selection branch of contact spreads by preparing 37 and 56.

e) In each field of the 1st – the 3rd device fields 3–5, since the gate electrode of a PMOS transistor and an NMOS transistor is made to share, it is not necessary to use metal wiring at the time of connection, and to connect at it, and flexibility arises to the feeder-line field.

[0047] f) The wiring the object for low voltage sides and for high potential sides consists of not only a horizontal direction but level wiring 7, and perpendicular wiring 8. Therefore, if the sense of a transistor is in a primitive cell 1 different 90 degrees like this operation gestalt,--izing of the length of the wiring which connects the level wiring 7 or the perpendicular wiring 8, and each transistor can be carried out [shortest].

[0048] g) Divide into two-layer [through an insulator layer] the location in which each wiring is prepared, and constitute so that the wiring and the level wiring 7 to which said each transistor is connected may be located in the 1st layer and the perpendicular wiring 8 may be located in a two-layer eye. Even when the wiring (for example, wiring which connects between primitive cells) to which said each transistor is connected crosses the perpendicular wiring 8 by this, it can let the bottom of these perpendicular wiring 8 pass, and the flexibility of wiring becomes high.

[0049] h) The gate electrode which is not used as a circuit can be used as some wiring as it is.

i) The area of the cel substrate 2 of the primitive cell 1 which added and constituted the inverter 103 in the basic gate circuit 102 (NOR circuit) as shown in drawing 6 (b) is the same as the area of the cel substrate 2 of the primitive cell 1 constituted only from a basic gate circuit 102 shown in drawing 4 (a). That is, if the primitive cell 1 shown in drawing 2 is used, the basic gate circuit 102 (NOR circuit) and an inverter 103 are incorporable into one primitive cell 1 only by changing the wiring which connects each transistor. Therefore, even when using the primitive cell 1 shown in drawing 2 , and an inverter 103 is added to the basic gate circuit 102 and a primitive cell 1 is constituted (drawing 6 (b)), compared with the case

(drawing 4 (b)) where a primitive cell 1 is constituted, a chip area does not increase only in the basic gate circuit 102.

[0050] In addition, the above-mentioned operation gestalt may be changed as follows, and can acquire the same operation and the same effect even in such a case.

[1] The location in which the low voltage side power supply wiring 7 and the high potential side power supply wiring 8 are formed is not limited to the lower limit section or the left end section of a cel, respectively, and they may be the upper limit section and a right edge, and in short, the sense to which both extend differs, and it should just be (preferably 90 degrees).

[0051] [2] In the 1st - the 3rd device fields 3-5, although the size of the transistor of each field was changed, the ratio (W1:W4, W2:W5, W3:W6) of the size (gate width) of the transistor in each field may be changed into any value, respectively.

[3] Although gate width W of a transistor was changed as a means to change the size of a transistor, with the above-mentioned operation gestalt, gate length L may be changed and both sides may be changed.

[0052] [4] Although the example which added the inverter 103 to the NOR circuit as a basic gate circuit 102, and constituted the primitive cell 1 from an above-mentioned operation gestalt was shown Not the thing to limit to this but what kind of basic gate circuit 102 for example, an inverter, a NAND circuit, an AND circuit, an OR circuit, and an AND-NOR circuit -- You may apply to the example which added the inverter 103 to OR-NAND circuit, the exclusive "or" circuit (Exclusive-OR circuit), the exclusive NOR circuit (Exclusive-NOR circuit), etc., and constituted the primitive cell 1.

[0053] [5] Although the example which constituted the primitive cell 1 from an above-mentioned operation gestalt by the MOS transistor was shown, you may apply to the example which constituted the primitive cell 1 by the bipolar transistor.

As mentioned above, although each operation gestalt was explained, technical thought other than the claim which can be grasped from each operation gestalt is indicated with those effects below.

[0054] (1) The semiconductor device according to claim 4 which prepared two or more said transistors for every size.

(2) Said transistor is a semiconductor device given in claim 4 or the above (1) which is an MOS transistor.

[0055] (3) The semiconductor device according to claim 4 or 5 which changed the sense which arranges the transistor of one [said / at least] conductivity type for every size. If it does in this way, since the sense which arranges a transistor is changed, the flexibility of the direction of connection increases.

[0056] (4) Claims 4 and 5 which prepared two or more transistors of one [said / at least] conductivity type for every size, a semiconductor device given in either of the above (3).

(5) A semiconductor device given in claims 4 and 5 characterized by communalizing the gate line of two transistors of the conductivity type with which said two or more transistors differ, the above (3), or (4).

[0057] (6) the -- one -- a conductivity type -- a transistor -- and -- the -- two -- a conductivity type -- a transistor -- from -- becoming -- a device -- at least -- two -- a set -- having -- this -- a device -- a group -- inside -- at least -- two -- a set -- a device -- it can set -- while -- a device -- the -- one -- a conductivity type -- a transistor -- another side -- a device -- the -- two -- a conductivity type -- a transistor -- almost -- the upper and lower sides -- or -- a longitudinal direction -- be located -- as -- having arranged -- structure -- having -- things -- the feature -- ** -- having carried out -- a claim -- four -- five -- the above -- (-- one --) -- (-- five --) -- either -- a publication -- a semiconductor device .

[0058] (7) Arrange the 1st device which becomes a substrate from the 1st conductivity-type transistor and the 2nd conductivity-type transistor to two or more parallel. The 2nd device which changed the size of one [at least] transistor of said 1st device to two or more parallel And the semiconductor device which the sense was changed to said 1st device, arranged, and arranged two or more 3rd device which changed further the size of one [at least] transistor of said 1st device rather than the size of the transistor of said 2nd device in the free area of a substrate.

[0059] (8) A semiconductor device given in the above (7) characterized by having at least 2 sets of devices which consist said 3rd device group of the 1st conductivity-type transistor and the 2nd conductivity-type

transistor, and considering as the structure [in / at least 2 sets of devices in this device group] which the 1st conductivity-type transistor of a device and the 2nd conductivity-type transistor of the device of another side arranged so that it might be mostly located in the upper and lower sides or a longitudinal direction.

[0060] Thus, if it carries out like above-mentioned (6) - (8), when forming the transfer gate which consists of a P type transistor and an NMOS transistor, for example, the wiring which connects a P type transistor and an N type transistor does not cross. Therefore, the length of the wiring which connects a P type transistor and an N type transistor becomes the shortest.

[0061] (9) A semiconductor device given in either of above-mentioned (6) - (8) which communalized the gate line of the transistor in said each device. If it does in this way, since the gate electrode of the 1st conductivity-type transistor and the 2nd conductivity-type transistor is made to share, it is not necessary to use metal wiring at the time of connection, and to connect at it, and flexibility arises to the feeder-line field.

[0062] (10) A semiconductor device given in claims 4 and 5 which formed wiring Rhine in the opening section between said two or more transistors, or above-mentioned (1) - (9). If it does in this way, by using wiring Rhine at the time of connection, it will become unnecessary to connect using metal wiring, and flexibility will arise to the feeder-line field.

[0063] (11) Claims 4 and 5 which prepared power supply wiring in the level edge and the perpendicular edge, a semiconductor device given in either of above-mentioned (1) - (10). If it does in this way, since power supply wiring was prepared not only in a horizontal direction but in the perpendicular direction, in that from which the array sense of a transistor differs, -izing of the length of the wiring which connects power supply wiring and each transistor can be carried out [shortest] like before.

[0064] (12) A semiconductor device given in the above (11) in which the location in which said each power supply wiring is prepared is divided into two-layer, one power supply wiring is located in the 1st layer, and power supply wiring of another side was located in the two-layer eye. If it does in this way, when dividing into two-layer the location in which each power supply wiring is prepared, and one power supply wiring is located in the 1st layer and it is made for power supply wiring of another side to be located in a two-layer eye, the wiring to which each transistor is connected can be pulled out from many parts of a substrate, and the flexibility of wiring will become high.

[0065] (13) A semiconductor device given in claims 4 and 5 which prepared width-of-face Hirobe in whom contact section formation is possible in the gate of said transistor, or above-mentioned (1) - (12). The flexibility of a connection location increases utilizing the free area in a cel effectively, since width-of-face Hirobe for contact is prepared in the center section and edge of each gate electrode, if it does in this way. Also compared with the former, the selection branch of contact spreads by preparing width-of-face Hirobe also in the center section of each gate electrode especially.

[0066] (14) The size of said transistor is a semiconductor device given in claims 4 and 5 changed by changing either [at least] gate width or gate length, or above-mentioned (1) - (13).

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Explanatory drawing for explaining 1 operation gestalt which materialized this invention.

[Drawing 2] The plan having shown the structure of the primitive cell of 1 operation gestalt.

[Drawing 3] The plan having shown the structure of the primitive cell of 1 operation gestalt.

[Drawing 4] Drawing 4 (a) is a circuit diagram for explaining 1 operation gestalt. Drawing 4 (b) is a substance circuit diagram for explaining 1 operation gestalt.

[Drawing 5] Drawing 5 (a) is a circuit diagram for explaining 1 operation gestalt. Drawing 5 (b) is a substance circuit diagram for explaining 1 operation gestalt.

[Drawing 6] Drawing 6 (a) is a circuit diagram for explaining 1 operation gestalt. Drawing 6 (b) is a substance circuit diagram for explaining 1 operation gestalt.

[Description of Notations]

1 -- Primitive cell

2 -- Cel substrate

6 -- Circuit pattern (wiring Rhine)

7 -- Low voltage side power supply wiring

8 -- High potential side power supply wiring

9, 22, 53 -- The 1st, 2nd, and 3rd P type transistor group

10, 23, 54 -- The 1st, 2nd, and 3rd N type transistor group

11, 12, 24-26, 40-42 -- Gate electrode

102 -- Basic gate circuit

103 -- Inverter

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 3 8 8 6 5

(43) 公開日 平成 1 1 年 (1 9 9 9) 8 月 3 1 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H01L 27/118			H01L 21/82	M
21/8249			27/06	321 I
27/05				

審査請求 未請求 請求項の数 1 0 O L (全 9 頁)

(21) 出願番号 特願平 1 0 - 4 0 7 8 5
(22) 出願日 平成 1 0 年 (1 9 9 8) 2 月 2 3 日

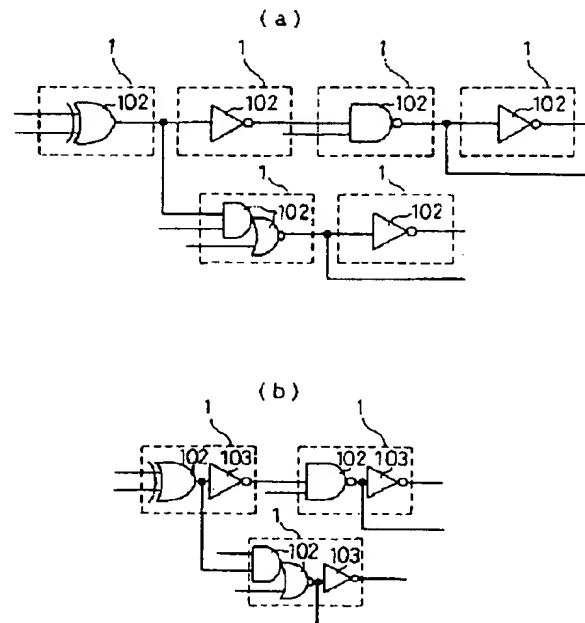
(71) 出願人 0 0 0 0 0 1 8 8 9
三洋電機株式会社
大阪府守口市京阪本通 2 丁目 5 番 5 号
(72) 発明者 小椋 功
大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内
(72) 発明者 上田 佳孝
大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内
(74) 代理人 弁理士 足立 勉

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 チップ面積を縮小することが可能な半導体装置を提供する。

【解決手段】 図 1 (b) に示すように、基本ゲート回路 1 0 2 にインバータ 1 0 3 を加えて基本セル 1 が構成される。各基本セル 1 からは、基本ゲート回路 1 0 2 から出力される論理信号に加えて、その基本ゲート回路 1 0 2 からインバータ 1 0 3 を介して論理が反転された論理信号が出力される。つまり、各基本セル 1 にインバータ 1 0 3 を内蔵することにより、各基本セル 1 から正負両論理の論理信号を出力可能にする。従って、図 1 (a) に示す従来例のように論理反転のためのインバータを構成する基本セル 1 を設ける必要がなく、そのインバータを構成する基本セルと他の基本セルとを接続するための配線も不要になることから配線のネット総数を削減することができる。その結果、配線のネット総数の削減に伴って配線領域の面積も縮小されることから、チップ面積を縮小することができる。



【特許請求の範囲】

【請求項 1】 正負両論理の論理信号が出力可能に構成された基本セルから成る半導体装置。

【請求項 2】 インバータが内蔵されて正負両論理の論理信号が出力可能に構成された基本セルから成る半導体装置。

【請求項 3】 少なくとも 1 つの基本ゲート回路にインバータを加えて構成される基本セルから成る半導体装置であって、その基本セルからは、基本ゲート回路から出力される論理信号に加えて、その基本ゲート回路からイン

バータを介して論理が反転された論理信号が出力可能に構成されたことを特徴とする半導体装置。

【請求項 4】 請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置において、サイズの異なる複数のトランジスタを選択組み合わせ可能に配列し、複数のトランジスタを配列する向きをサイズ毎に異ならせた半導体装置。

【請求項 5】 請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置において、サイズの異なる複数の第 1 導電型トランジスタ及びサイズの異なる複数の第 2 導電型トランジスタを選択組み合わせ可能に配列した半導体装置。

【請求項 6】 請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置における基本セルを 1 個または複数個配列した状態で、各基本セルを構成するトランジスタを選択組み合わせさせて結線することにより、基本ゲート回路およびインバータを構成した半導体装置。

【請求項 7】 水平方向に延びる電源配線と垂直方向に延びる電源配線とを設けた請求項 6 に記載の半導体装置。

【請求項 8】 各トランジスタを結ぶ配線と、水平方向に延びる電源配線および垂直方向に延びる電源配線とを設ける位置を 2 層に分け、各トランジスタを結ぶ配線と一方の方向に延びる電源配線とが 1 層目に、他方の方向に延びる電源配線が 2 層目に位置するように構成した請求項 7 に記載の半導体装置。

【請求項 9】 基板に、第 1 導電型トランジスタと第 2 導電型トランジスタとからなる第 1 のデバイスを複数平行に配列し、前記第 1 のデバイスの少なくとも一方のトランジスタのサイズを異ならせた第 2 のデバイスを複数平行に、且つ前記第 1 のデバイスに対し向きを異ならせて配列し、基板の空き領域に、前記第 1 のデバイスの少なくとも一方のトランジスタのサイズを前記第 2 のデバイスのトランジスタのサイズよりもさらに異ならせた第 3 のデバイスを複数配列して構成される基本セルのトランジスタを、選択組み合わせさせて結線することにより基本ゲート回路およびインバータが構成され、その基本セルからは、基本ゲート回路から出力される論理信号に加えて、基本ゲート回路からインバータを介して論理が反転された論理信号が出力可能に構成されたことを特徴とする半導体装置。

【請求項 10】 基板に、第 1 導電型トランジスタと第

2 導電型トランジスタとからなる第 1 のデバイスを複数平行に配列し、前記第 1 のデバイスの少なくとも一方のトランジスタのサイズを異ならせた第 2 のデバイスを複数平行に、且つ前記第 1 のデバイスに対し向きを異ならせて配列し、基板の空き領域に、前記第 1 のデバイスの少なくとも一方のトランジスタのサイズを前記第 2 のデバイスのトランジスタのサイズよりもさらに異ならせた第 3 のデバイスを複数配列して構成される基本セルのトランジスタを、選択組み合わせさせて結線することにより NOR 回路およびインバータが構成され、その基本セルからは、NOR 回路から出力される論理信号に加えて、NOR 回路からインバータを介して論理が反転された論理信号が出力可能に構成されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に係り、特に、マスタスライス方式の半導体集積回路装置及びそれを構成する基本セルの構造に関するものである。

【0002】

【従来の技術】 従来より、セミカスタム L S I の製造方式として、拡散工程までは共通マスクを用いて予め製造しておき、配線層のマスクのみを変更して L S I を構成するマスタスライス方式が広く用いられている。このマスタスライス方式では、L S I の設計から拡散工程までを一元的に処理しておき、その後の回路配線のみを品種毎に行えばよいと、少量多品種の L S I を少ない費用で短期間に開発することができる。

【0003】 マスタスライス方式の半導体集積回路装置は、同一構造の基本セル（単位セル）がマトリクス状または一方向に規則的に配列されたマスタと呼ばれる半導体チップに対して、カスタマの希望する仕様に合わせた配線層を形成することにより実現される。すなわち、基本セル上に形成する配線層を変更することにより、各基本セルを用いて様々な基本ゲート回路（基本論理素子）を構成し、各基本ゲート回路を配線層によって結線することで、カスタマの設計した論理回路が作成される。

【0004】

【発明が解決しようとする課題】 従来のマスタスライス方式では、基本ゲート回路（インバータ、XOR 回路、NAND 回路、AND 回路、NOR 回路など）のみで基本セルが構成されている。そして、基本セルからは正論理または負論理の一方の論理信号のみが出力されるようになっている。

【0005】 そのため、基本セルから出力された論理信号の論理を反転する必要がある場合には、基本セルの出力側にインバータを接続し、そのインバータを介して反転した論理出力を得るようにしなければならなかった。ここで、各基本セルの間のスペースが各基本セルを接続する配線領域となる。また、インバータも 1 つの基本セ

ルによって構成される。従って、論理反転のためのインパータを構成する基本セルを設けた場合、そのインパータを構成する基本セルと他の基本セルとを接続するための配線が必要になることから、配線のネット総数が増大する。その結果、配線のネット総数の増大に伴って配線領域の面積も増大することから、チップ面積が増大することになる。

【0006】また、複雑な論理回路中には論理反転が必要な箇所が多くあり、その箇所毎にインパータを設けるとなると、使用するインパータの数は相当なものになる。特に、複雑な論理回路によって構成される大規模LSIでは、配線のネット総数によってチップ面積が規定されるため、論理反転のためのインパータを構成する基本セルを設けることによる配線のネット総数の増大に伴い、チップ面積の増大は甚だしいものとなる。

【0007】本発明は上記問題点を解決するためになされたものであって、その目的は、チップ面積を縮小することが可能な半導体装置を提供することにある。

【0008】

【課題を解決するための手段】請求項1に記載の発明は、正負両論理の論理信号が出力可能に構成された基本セルから成ることをその要旨とする。請求項2に記載の発明は、インパータが内蔵されて正負両論理の論理信号が出力可能に構成された基本セルから成ることをその要旨とする。

【0009】請求項3に記載の発明は、少なくとも1つの基本ゲート回路にインパータを加えて構成される基本セルから成る半導体装置であって、その基本セルからは、基本ゲート回路から出力される論理信号に加えて、その基本ゲート回路からインパータを介して論理が反転された論理信号が出力可能に構成されたことをその要旨とする。

【0010】従って、請求項1～3のいずれか1項に記載の発明によれば、論理反転のためのインパータを構成する基本セルを設ける必要がないため、そのインパータを構成する基本セルと他の基本セルとを接続するための配線も不要になることから配線のネット総数を削減することができる。その結果、配線のネット総数の削減に伴って配線領域の面積も縮小されることから、チップ面積を縮小することができる。特に、複雑な論理回路により構成される大規模LSIでは、配線のネット総数によってチップ面積が規定されるため、配線のネット総数の削減によりチップ面積を大幅に縮小することができる。

【0011】請求項4に記載の発明は、請求項1～3のいずれか1項に記載の半導体装置において、サイズの異なる複数のトランジスタを選択組み合わせ可能に配列し、複数のトランジスタを配列する向きをサイズ毎に異ならせたことをその要旨とする。

【0012】このようにすれば、トランジスタのサイズを異ならせてあるので、回路の大きさに応じたサイズの

トランジスタを自由に選定することができる。請求項5に記載の発明は、請求項1～3のいずれか1項に記載の半導体装置において、サイズの異なる複数の第1導電型トランジスタ及びサイズの異なる複数の第2導電型トランジスタを選択組み合わせ可能に配列したことをその要旨とする。

【0013】従って、請求項5に記載の発明によれば、トランジスタを配列する向きを異ならせてあるので、結線方向の自由度が増す。請求項6に記載の発明は、請求項1～5のいずれか1項に記載の半導体装置における基本セルを1個または複数個配列した状態で、各基本セルを構成するトランジスタを選択組み合わせて結線することにより、基本ゲート回路およびインパータを構成したことをその要旨とする。

【0014】請求項7に記載の発明は、請求項6に記載の半導体装置において、水平方向に延びる電源配線と垂直方向に延びる電源配線とを設けたことをその要旨とする。従って、請求項6または請求項7に記載の発明によれば、配線が簡潔で面積の小さな半導体装置を提供することができる。

【0015】請求項8に記載の発明は、請求項7に記載の半導体装置において、各トランジスタを結ぶ配線と、水平方向に延びる電源配線および垂直方向に延びる電源配線とを設ける位置を2層に分け、各トランジスタを結ぶ配線と一方の方向に延びる電源配線とが1層目に、他方の方向に延びる電源配線が2層目に位置するように構成したことをその要旨とする。

【0016】従って、請求項8に記載の発明によれば、各トランジスタを結ぶ配線（例えば、基本セル間を接続する配線）が、他方の方向に延びる電源配線とクロスする場合でも、この電源配線の下を通すことができ、配線の自由度が高くなる。請求項9に記載の発明は、基板に、第1導電型トランジスタと第2導電型トランジスタとからなる第1のデバイスを複数平行に配列し、前記第1のデバイスの少なくとも一方のトランジスタのサイズを異ならせた第2のデバイスを複数平行に、且つ前記第1のデバイスに対し向きを異ならせて配列し、基板の空き領域に、前記第1のデバイスの少なくとも一方のトランジスタのサイズを前記第2のデバイスのトランジスタのサイズよりもさらに異ならせた第3のデバイスを複数配列して構成される基本セルのトランジスタを、選択組み合わせて結線することにより基本ゲート回路およびインパータが構成され、その基本セルからは、基本ゲート回路から出力される論理信号に加えて、基本ゲート回路からインパータを介して論理が反転された論理信号が出力可能に構成されたことをその要旨とする。

【0017】従って、本発明によれば、基本ゲート回路にインパータを加えた基本セルを構成することが可能になり、この基本セルによれば、基本ゲート回路のみで基本セルを構成した場合に比べてチップ面積が増大するこ

とはない。請求項 10 に記載の発明は、基板に、第 1 導電型トランジスタと第 2 導電型トランジスタとからなる第 1 のデバイスを複数平行に配列し、前記第 1 のデバイスの少なくとも一方のトランジスタのサイズを異ならせた第 2 のデバイスを複数平行に、且つ前記第 1 のデバイスに対し向きを異ならせて配列し、基板の空き領域に、前記第 1 のデバイスの少なくとも一方のトランジスタのサイズを前記第 2 のデバイスのトランジスタのサイズよりもさらに異ならせた第 3 のデバイスを複数配列して構成される基本セルのトランジスタを、選択組み合わせて結線することにより NOR 回路およびインバータが構成され、その基本セルからは、NOR 回路から出力される論理信号に加えて、NOR 回路からインバータを介して論理が反転された論理信号が出力可能に構成されたことをその要旨とする。

【0018】従って、本発明によれば、基本ゲート回路としての NOR 回路にインバータを加えて基本セルを構成することが可能になる。そして、この基本セルによれば、基本ゲート回路のみで基本セルを構成した場合に比べてチップ面積が増大することはない。

【0019】

【発明の実施の形態】以下、本発明を具体化した一実施形態を図面と共に説明する。図 1 (a) に示すように、従来のマスタスライス方式では、基本ゲート回路 102 (インバータ、XOR 回路、NAND 回路、AND 回路、NOR 回路など) のみで基本セル 1 が構成されており、各基本セル 1 からは正論理または負論理の一方のみの論理信号しか出力することができない。

【0020】それに対して、図 1 (b) に示すように、本実施形態においては、基本ゲート回路 102 にインバータ 103 を加えて基本セル 1 が構成されている。そして、各基本セル 1 からは、基本ゲート回路 102 から出力される論理信号に加えて、その基本ゲート回路 102 からインバータ 103 を介して論理が反転された論理信号が出力可能に構成されている。つまり、各基本セル 1 にインバータ 103 を内蔵することにより、各基本セル 1 から正負両論理の論理信号を出力可能にしている。

【0021】従って、本実施形態によれば、論理反転のためのインバータを構成する基本セル 1 を設ける必要がないため、そのインバータを構成する基本セルと他の基本セルとを接続するための配線も不要になることから配線のネット総数を削減することができる。その結果、配線のネット総数の削減に伴って配線領域の面積も縮小されることから、チップ面積を縮小することができる。特に、複雑な論理回路により構成される大規模 LSI では、配線のネット総数によってチップ面積が規定されるため、本実施形態によれば、配線のネット総数の削減によりチップ面積を大幅に縮小することができる。

【0022】尚、基本セル 1 を構成する基本ゲート回路 102 は 1 つとは限らず、複数の基本ゲート回路 102

(例えば、AND 回路と NOR 回路) から構成されることもある。図 2 に、本実施形態における基本セル 1 の構造例を示す。

【0023】基本セル 1 は、方形状のセル基板 2 と、このセル基板 2 の上部約 3 分の 1 の面積を占める第 1 デバイス領域 3 と、セル基板 2 の左下約 4 分の 1 の面積を占める第 2 デバイス領域 4 と、セル基板 2 の右下約 3 分の 1 の面積を占める第 3 デバイス領域 5 と、第 1 デバイス領域 3 と第 3 デバイス領域 5 との間の空隙部に設けられた配線パターン 6 とから構成されている。配線パターン 6 は例えばタングステンポリサイドからなる。

【0024】第 1 デバイス領域 3 には、第 1 PMOST トランジスタ群 9 と第 1 NMOST トランジスタ群 10 とが設けられている。第 1 PMOST トランジスタ群 9 は、互いに平行に図の左右方向に延びるポリシリコン製の第 1 及び第 2 ゲート電極 11、12 と、第 1、第 2 及び第 3 P 型ソース・ドレイン領域 13、14、15 とを備える。第 1、第 2 及び第 3 P 型ソース・ドレイン領域 13、14、15 は第 1 及び第 2 ゲート電極 11、12 の左側領域部分によって互いに上下方向に隔てられている。

【0025】また、第 1 NMOST トランジスタ群 10 は、第 1 及び第 2 ゲート電極 11、12 と、第 1、第 2 及び第 3 N 型ソース・ドレイン領域 16、17、18 とを備える。第 1、第 2 及び第 3 N 型ソース・ドレイン領域 16、17、18 は、第 1 及び第 2 ゲート電極 11、12 の右側領域部分によって互いに上下方向に隔てられている。

【0026】すなわち、第 1 PMOST トランジスタ群 9 の 2 個の PMOST トランジスタと第 1 NMOST トランジスタ群 10 の 2 個の NMOST トランジスタとは、それぞれ 1 対 1 の関係で第 1 ゲート電極 11 または第 2 ゲート電極 12 を共有している。さらに、第 1 デバイス領域 3 の空隙部を有効利用するために、第 1 及び第 2 ゲート電極 11、12 の中央部や端部の適宜な箇所を拡張することによりコンタクト部を形成可能な幅広部 19、20、21 を形成している。

【0027】第 2 デバイス領域 4 には、第 2 PMOST トランジスタ群 22 と第 2 NMOST トランジスタ群 23 とが設けられている。第 1 PMOST トランジスタ群 22 は、互いに平行に図の上下方向に延びるポリシリコン製の第 3、第 4 及び第 5 ゲート電極 24、25、26 と、第 4、第 5、第 6 及び第 7 P 型ソース・ドレイン領域 27、28、29、30 とを備える。第 4、第 5、第 6 及び第 7 P 型ソース・ドレイン領域 27、28、29、30 は、第 3～第 5 ゲート電極 24～26 の上側領域部分によって互いに左右方向に隔てられている。

【0028】また、第 1 NMOST トランジスタ群 23 は、第 3～第 5 ゲート電極 24～26 と、第 4、第 5、第 6 及び第 7 N 型ソース・ドレイン領域 31、32、3

3、34とを備える。第4、第5、第6及び第7N型ソース・ドレイン領域31、32、33、34は、第3～第5ゲート電極24～26の下側領域部分によって互いに左右方向に隔てられている。

【0029】すなわち、第2PMOSTランジスタ群22の3個のPMOSTランジスタと第2NMOSTランジスタ群23の3個のNMOSTランジスタとは、それぞれ1対1の関係で第3ゲート電極24、第4ゲート電極25または第5ゲート電極26を共有している。

【0030】さらに、第2デバイス領域4の空隙部を有効利用するために、第3～第5ゲート電極24～26の中央部や端部の適宜な箇所を拡張することによりコンタクト部を形成可能な幅広部35、36、37、38、39を形成している。第3デバイス領域5は、ポリシリコン製の第6、第7及び第8ゲート電極40、41、42を備える。第6ゲート電極40は、鉤状に複数箇所で屈曲しながら延びる。第7ゲート電極41は、同じく鉤状に複数箇所で屈曲しながら延び、第6ゲート電極40との間に隘路を構成するように設けられている。第8ゲート電極42は、この第7ゲート電極41の端部からさらにセル基板2の右端に沿って図の上下方向に延びてい

る。

【0031】第6ゲート電極40の一端部40aと第7ゲート電極41の他端部41bとは互いに平行に図の上下方向に延びている。第6ゲート電極40の他端部40bと第7ゲート電極41の一端部41aとは互いに平行に図の上下方向に延びている。第6及び第7ゲート電極40、41の各一端部40a、41a同士及び各他端部40b、41b同士は、左右方向に若干ずれる程度で、ほぼ上下方向直線上に位置するように配置されている。

【0032】さらに、第3デバイス領域5は、第8、第9及び第10P型ソース・ドレイン領域43、44、45と、第8、第9及び第10N型ソース・ドレイン領域46、47、48と、第11及び第12P型ソース・ドレイン領域49、50と、第11及び第12N型ソース・ドレイン領域51、52とを有する。第8、第9及び第10P型ソース・ドレイン領域43、44、45は、第6ゲート電極40の他端部40bと第7ゲート電極41の一端部41aとによって互いに図の左右方向に隔てられている。第8、第9及び第10N型ソース・ドレイン領域46、47、48は、第6ゲート電極40の一端部40aと第7ゲート電極41の他端部41bとによって互いに図の左右方向に隔てられている。第11及び第12P型ソース・ドレイン領域49、50は、第8ゲート電極42の一端部42aによって隔てられている。第11及び第12N型ソース・ドレイン領域51、52は、第8ゲート電極42の他端部42bによって隔てられている。

【0033】そして、第6ゲート電極40の他端部40bと、第7ゲート電極41の一端部41aと、第8、第

9及び第10P型ソース・ドレイン領域43、44、45と、第8ゲート電極42の一端部42aと、第11及び第12P型ソース・ドレイン領域49、50とにより第3PMOSTランジスタ群53が構成されている。また、第6ゲート電極40の一端部40aと、第7ゲート電極41の他端部41bと、第8、第9及び第10N型ソース・ドレイン領域46、47、48と、第8ゲート電極42の他端部42bと、第11及び第12N型ソース・ドレイン領域51、52とにより第3NMOSTランジスタ群54が構成されている。

【0034】さらに、第3デバイス領域5の空隙部を有効利用するために、第6～第8ゲート電極40～42の中央部や端部の適宜な箇所を拡張することによりコンタクト部を形成可能な幅広部55、56、57を形成している。そして、本実施形態における基本セル1にあっては、第1～第3P型ソース・ドレイン領域13～15の幅W1（すなわち第1PMOSTランジスタ群9のゲート幅）と、第4～第7P型ソース・ドレイン領域27～30の幅W2（すなわち第2PMOSTランジスタ群22のゲート幅）と、第8～第12P型ソース・ドレイン領域43～45、49、50の幅W3（すなわち第3PMOSTランジスタ群53のゲート幅）との比（W1：W2：W3）が6：3：2になるように設定されている。

【0035】また、第1～第3N型ソース・ドレイン領域16～18の幅W4（すなわち第1NMOSTランジスタ群10のゲート幅）と、第4～第7N型ソース・ドレイン領域31～34の幅W5（すなわち第2NMOSTランジスタ群23のゲート幅）と、第8～第12N型ソース・ドレイン領域46～48、51、52の幅W6（すなわち第3NMOSTランジスタ群54のゲート幅）との比（W4：W5：W6）が10：4：3になるように設定されている。

【0036】さらに、本実施形態における基本セル1にあっては、第1PMOSTランジスタ群9のゲート幅W1と第1NMOSTランジスタ群10のゲート幅W4との比が6：5になるように設定され、第2PMOSTランジスタ群22のゲート幅W2と第2NMOSTランジスタ群23のゲート幅W5との比が3：2になるように設定され、さらに第3PMOSTランジスタ群53のゲート幅W3と第3NMOSTランジスタ群54のゲート幅W6との比が4：3になるように設定されている。

【0037】すなわち、本実施形態にあっては、セル基板1上の第1、第2、第3PMOSTランジスタ群9、22、53のサイズを個々に異ならせ、且つ、第1、第2、第3NMOSTランジスタ群10、23、54のサイズを個々に異ならせている。

【0038】また、セル基板2の下端部には図の左右方向に延びるように低電位側電源配線7（以下、水平配線7という）が設けられ、セル基板2の左右両端部には図

の上下方向に延びるように高電位側電源配線 8 (以下、垂直配線 8 という) が設けられている。そして、水平配線 7 および垂直配線 8 と各トランジスタとが結線されている。尚、水平配線 7 は金属配線層の 1 層目に設けられ、垂直配線 8 は金属配線層の 2 層目に設けられる。また、低電位側電源配線 7 はアース線として機能する。

【0039】図 3 に示すように、基本セル 1 は半導体基板上にマトリックス状に配置される。この際、互いに隣接する基本セル 1 はミラー配置される。図 4 (b) は、図 2 に示す基本セル 1 を用いて、図 4 (a) に示す基本ゲート回路 102 としての NOR 回路のみで基本セル 1 を構成した場合の実体回路図であり、その内の配線部分を太い実線で表したものである。尚、各トランジスタを接続する配線は金属配線層の 1 層目に形成されている。ここで、NOR 回路は 2 つの入力信号 A、B の NOR 論理をとって出力信号 C を生成する。

【0040】図 5 (b) は、図 2 に示す基本セル 1 を用いて、図 5 (a) に示す基本ゲート回路 102 としてのインバータのみで基本セル 1 を構成した場合の実体回路図であり、その内の配線部分を太い実線で表したものである。尚、各トランジスタを接続する配線は金属配線層の 1 層目に形成されている。ここで、インバータは入力信号 D の論理を反転して出力信号 E を生成する。

【0041】図 6 (b) は、図 2 に示す基本セル 1 を用いて、図 6 (a) に示す基本ゲート回路 102 としての NOR 回路にインバータ 103 を加えて基本セル 1 を構成した場合の実体回路図であり、その内の配線部分を太い実線で表したものである。尚、各トランジスタを接続する配線は金属配線層の 1 層目に形成されている。ここで、NOR 回路は 2 つの入力信号 A、B の NOR 論理をとって出力信号 C を生成し、インバータは出力信号 C の論理を反転して出力信号 E を生成する。

【0042】本実施形態における基本セル 1 は、以下の通りの特徴を有する。

a) 第 1 ～ 第 3 デバイス領域 3 ～ 5 におけるトランジスタのサイズを異ならせてあるので、基本セル 1 を構成する基本ゲート回路 102 およびインバータ 103 の駆動能力の大きさに応じたサイズのトランジスタを自由に選定することができる。

【0043】b) 第 1 デバイス領域 3 のトランジスタ群 9、10 の配列方向と、第 2 デバイス領域 4 のトランジスタ群 22、23 の配列方向とを異ならせてある (特に、配列方向が 90 度異なるように設定している)。従って、トランジスタ領域を跨がないように各トランジスタを結線する際に配線幅を変更しないで済み、配線効率を向上できるとともに、配線長を短くすることができる。

【0044】c) 第 3 デバイス領域 5 において、第 6 ゲート電極 40 の他端部 40b をゲート電極とする PMOS トランジスタと第 7 ゲート電極 41 の他端部 41b を

ゲート電極とする NMOS トランジスタとが上下方向の直線上にほぼずれることなく位置し、更には、第 6 ゲート電極 40 の一端部 40a をゲート電極とする NMOS トランジスタと第 7 ゲート電極 41 の一端部 41a をゲート電極とする PMOS トランジスタとが上下方向の直線上にほぼずれることなく位置するように、第 6 及び第 7 ゲート電極 40、41 を屈曲させている。従って、この部分を用いてトランスファージゲートを形成する場合、PMOS トランジスタのソース・ドレイン領域と NMOS トランジスタのソース・ドレイン領域とを接続する各配線がクロスしない。

【0045】従って、PMOS トランジスタと NMOS トランジスタとを接続する配線を 1 層に形成できるとともに、これらの配線の長さが最短になり、トランスファージゲート自身の回路面積を縮小でき、半導体集積回路の省面積化に寄与できる。

d) 配線ライン 6 を設けたり、各ゲート電極の中央部や端部にコンタクト用幅広部を設けているので、セル内の空き領域を有効に活用しつつ、結線位置の自由度が増す。

【0046】特に、各ゲート電極の中央部に幅広部 19、20、35 ～ 37、56 を設けることにより、従来にも増してコンタクトの選択枝が広がる。

e) 第 1 ～ 第 3 デバイス領域 3 ～ 5 の各領域において、PMOS トランジスタと NMOS トランジスタとのゲート電極を共有させているので、結線時に金属配線を用いて接続する必要がなく、その分配線領域に自由度が生じる。

【0047】f) 水平方向ばかりではなく、水平配線 7 と垂直配線 8 とで低電位側用と高電位側用の配線を構成している。従って、本実施形態のようにトランジスタの向きが 90 度異なる基本セル 1 にあっては、水平配線 7 または垂直配線 8 と各トランジスタとを接続する配線の長さを最短化できる。

【0048】g) 各配線を設ける位置を、絶縁膜を介した 2 層に分け、前記各トランジスタを結ぶ配線及び水平配線 7 が 1 層目に、垂直配線 8 が 2 層目に位置するように構成している。これにより、前記各トランジスタを結ぶ配線 (例えば、基本セル間を接続する配線) が、垂直配線 8 をクロスする場合でも、これら垂直配線 8 の下を通すことができ、配線の自由度が高くなる。

【0049】h) 回路として使用しないゲート電極は、そのまま配線の一部として使用することができる。

i) 図 6 (b) に示すように基本ゲート回路 102 (NOR 回路) にインバータ 103 を加えて構成した基本セル 1 のセル基板 2 の面積は、図 4 (a) に示す基本ゲート回路 102 のみで構成した基本セル 1 のセル基板 2 の面積と同じである。つまり、図 2 に示す基本セル 1 を用いれば、各トランジスタを接続する配線を変更するだけで、1 つの基本セル 1 に基本ゲート回路 102 (NOR

回路)とインバータ 1 0 3 とを組み込むことができる。従って、図 2 に示す基本セル 1 を用いれば、基本ゲート回路 1 0 2 にインバータ 1 0 3 を加えて基本セル 1 を構成した場合(図 6 (b))でも、基本ゲート回路 1 0 2 のみで基本セル 1 を構成した場合(図 4 (b))に比べてチップ面積が増大することはない。

【0050】尚、上記実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

【1】低電位側電源配線 7 および高電位側電源配線 8 を設ける位置は、それぞれセルの下端部や左端部に限定されるものではなく、上端部や右端部であってもよく、要は、両者の延びる向きが異なって(好ましくは 90 度)いればよい。

【0051】【2】第 1 ～ 第 3 デバイス領域 3 ～ 5 において、各領域のトランジスタのサイズを異ならせたが、各領域内のトランジスタのサイズ(ゲート幅)の比(W 1 : W 4 , W 2 : W 5 , W 3 : W 6)をそれぞれ任意の値に変更してもよい。

【3】上記実施形態ではトランジスタのサイズを異ならせる手段として、トランジスタのゲート幅 W を変化させたが、ゲート長 L を変化させても良く、また、双方を変化させても良い。

【0052】【4】上記実施形態では基本ゲート回路 1 0 2 としての NOR 回路にインバータ 1 0 3 を加えて基本セル 1 を構成した例を示したが、これに限定するものではなく、どのような基本ゲート回路 1 0 2 (例えば、インバータ、NAND 回路、AND 回路、OR 回路、AND-NOR 回路、OR-NAND 回路、排他的論理和回路(Exclusive-OR 回路)、排他的否定論理和回路(Exclusive-NOR 回路)など)にインバータ 1 0 3 を加えて基本セル 1 を構成した例に適用してもよい。

【0053】【5】上記実施形態では MOS トランジスタによって基本セル 1 を構成した例を示したが、バイポーラトランジスタによって基本セル 1 を構成した例に適用してもよい。

以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にこれらの効果と共に記載する。

【0054】(1) 前記トランジスタをサイズ毎に複数設けた請求項 4 に記載の半導体装置。

(2) 前記トランジスタは MOS トランジスタである請求項 4 または上記(1)に記載の半導体装置。

【0055】(3) 前記少なくとも一方の導電型のトランジスタを配列する向きをサイズ毎に異ならせた請求項 4 または請求項 5 に記載の半導体装置。このようにすれば、トランジスタを配列する向きを異ならせてあるので、結線方向の自由度が増す。

【0056】(4) 前記少なくとも一方の導電型のトランジスタをサイズ毎に複数設けた請求項 4、5、上記

(3) のいずれかに記載の半導体装置。

(5) 前記複数のトランジスタの異なる導電型の 2 つのトランジスタのゲートラインを共通化したことを特徴とする請求項 4、5、上記(3)、(4)のいずれかに記載の半導体装置。

【0057】(6) 第 1 導電型トランジスタ及び第 2 導電型トランジスタからなるデバイスを少なくとも 2 組有し、このデバイス群のうちの少なくとも 2 組のデバイスにおける一方のデバイスの第 1 導電型トランジスタと他方のデバイスの第 2 導電型トランジスタとがほぼ上下または左右方向に位置するように配列した構造を有することを特徴とした請求項 4、5、上記(1)～(5)のいずれかに記載の半導体装置。

【0058】(7) 基板に、第 1 導電型トランジスタと第 2 導電型トランジスタとからなる第 1 のデバイスを複数平行に配列し、前記第 1 のデバイスの少なくとも一方のトランジスタのサイズを異ならせた第 2 のデバイスを複数平行に、且つ前記第 1 のデバイスに対し向きを異ならせて配列し、基板の空き領域に、前記第 1 のデバイスの少なくとも一方のトランジスタのサイズを前記第 2 のデバイスのトランジスタのサイズよりもさらに異ならせた第 3 のデバイスを複数配列した半導体装置。

【0059】(8) 前記第 3 のデバイス群を、第 1 導電型トランジスタ及び第 2 導電型トランジスタからなるデバイスを少なくとも 2 組有し、このデバイス群のうちの少なくとも 2 組のデバイスにおける一方のデバイスの第 1 導電型トランジスタと他方のデバイスの第 2 導電型トランジスタとがほぼ上下または左右方向に位置するように配列した構造としたことを特徴とする上記(7)に記載の半導体装置。

【0060】このように、上記(6)～(8)のようにすれば、例えば、P 型トランジスタと NMOS トランジスタとからなるトランスファージゲートを形成する場合、P 型トランジスタと N 型トランジスタとを接続する配線がクロスしない。従って、P 型トランジスタと N 型トランジスタとを接続する配線の長さが最短になる。

【0061】(9) 前記各デバイスにおけるトランジスタのゲートラインを共通化した上記(6)～(8)のいずれかに記載の半導体装置。このようにすれば、第 1 導電型トランジスタと第 2 導電型トランジスタとのゲート電極を共有させているので、結線時に金属配線を用いて接続する必要がなく、その分配線領域に自由度が生じる。

【0062】(10) 前記複数のトランジスタ間の空隙部に配線ラインを形成した請求項 4、5、上記(1)～(9)のいずれかに記載の半導体装置。このようにすれば、結線時に配線ラインを使用することにより、金属配線を用いて接続する必要がなくなり、その分配線領域に自由度が生じる。

【0063】(11) 水平端と垂直端とに電源配線を設

【図面の簡単な説明】

【図１】本発明を具体化した実施形態を説明するための説明図。

【図2】一実施形態の基本セルの構造を示した平面図。

【図3】一実施形態の基本セルの構造を示した平面図。

【図5】図5(a)は一実施形態を説明するための回路図、図5(b)は一実施形態を説明するための実体回路図。

【図6】図6(a)は一実施形態を説明するための回路図。図6(b)は一実施形態を説明するための実体回路図。

【符号の説明】

1…基本セル

2…セル基板

6…配線パターン（配線ライン）

7…低電位側電源配線

8…高電位側電源配線

9、22、53…第1、第2、第3 P 型トランジスタ群

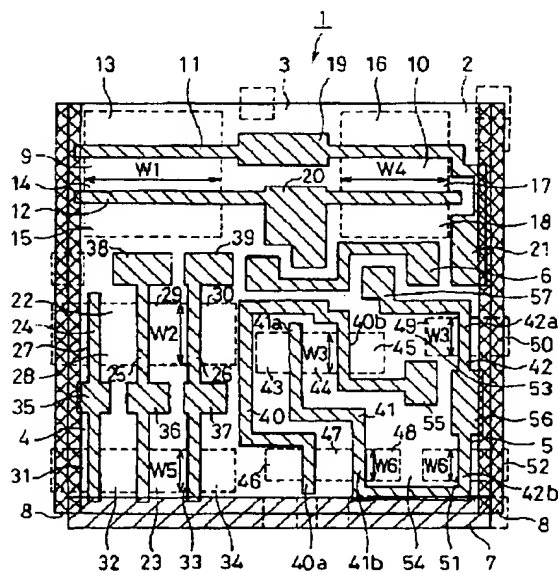
10, 23, 54…第1, 第2, 第3 N型トランジスタ
群

11, 12, 24 ~ 26, 40 ~ 42 … ゲート電極

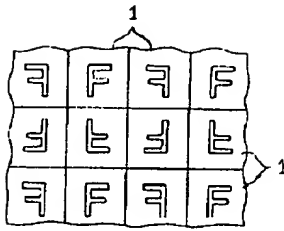
102 基本ゲート回路

1 0 3 … インバータ

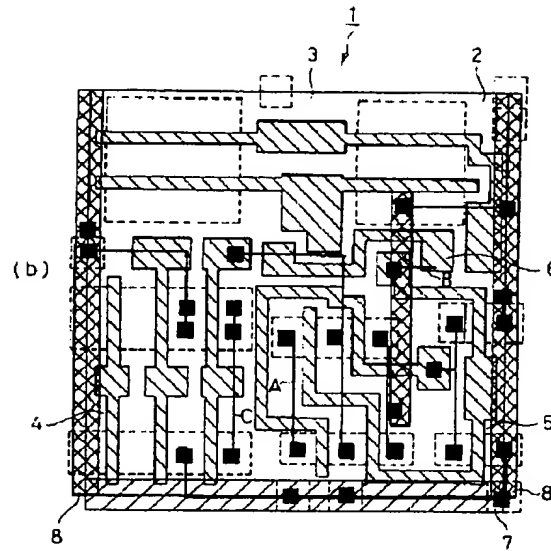
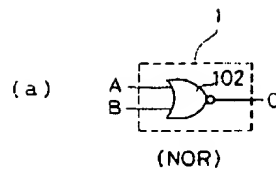
【 例 2 】



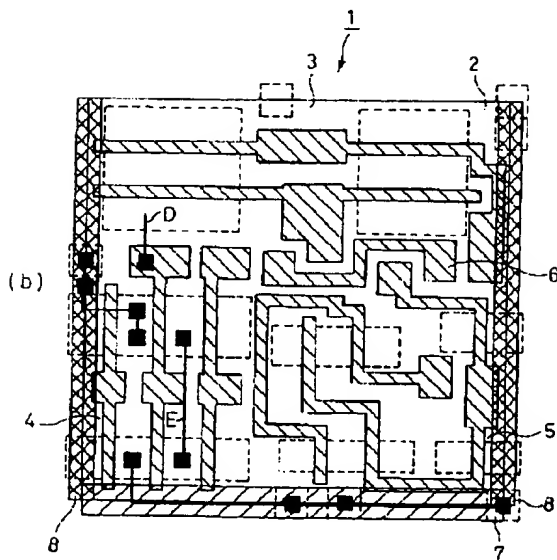
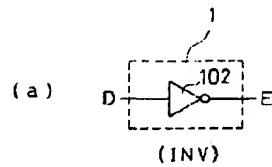
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

